

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

L19 ANSWER 5 OF 10 JAPIO COPYRIGHT 1999 JPO and Japio
AN 92-084224 JAPIO
TI ***STACK*** ***AREA*** ***PROTECTION*** CIRCUIT
IN FUJIMORI HIDEAKI
PA NEC CORP, JP (CO 000423)
PI JP 04084224 A 19920317 Heisei
AI JP 90-198897 (JP02198897 Heisei) 19900726
SO PATENT ABSTRACTS OF JAPAN, Unexamined Applications, Section: P, Sect. No.
1380, Vol. 16, No. 3, P. 167 (19920706)
IC ICM (5) G06F009-46
ICS (5) G06F012-14

CC 45.1 INFORMATION PROCESSING - Arithmetic sequence units
45.2 INFORMATION PROCESSING - Memory unit

AB PURPOSE: To ***prevent*** erroneous ***writing*** into a
stack ***area*** by providing a means detecting that software
erroneously ***write*** data into the ***stack*** ***area***
and informing a processor of it.

CONSTITUTION: A comparator 106 compares the value of a register 105 with a
value on an address bus 110 at the time of a ***write*** cycle into a
main storage device 103. When the value of the register 105 is more than
the value on the address bus 110, the value of an output line 115 is set
to one. On the other hand, a comparator 107 compares the value of a
stack ***pointer*** 102 with the value on the address bus 110
at the ***write*** cycle into the main storage device 103. If the
value of the ***stack*** ***pointer*** 102 is less than the value
on the address bus 110, the value of an output line 116 is set to one.
When the AND condition is satisfied, the value of an output line 117 in an
OR circuit 108 becomes one and it is informed to a processor 101 by
interruption.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平4-84224

⑫ Int. Cl.⁵

G 06 F 9/46
12/14

識別記号

3 1 3 B
3 1 0 H

庁内整理番号

8120-5B
7629-5B

⑬ 公開 平成4年(1992)3月17日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 スタックエリア保護回路

⑮ 特 願 平2-198897

⑯ 出 願 平2(1990)7月26日

⑰ 発 明 者 藤 森 英 明 東京都港区芝5丁目7番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

スタックエリア保護回路

特許請求の範囲

ある関数やサブルーチンから他の関数やサブルーチンを呼び出す場合に実行していた前記関数あるいは前記サブルーチンの制御情報や戻り番地を主記憶装置中のスタックエリアに退避するとともに退避された前記制御情報や戻り番地等の情報の前記スタックエリア内における最後尾アドレスをプロセッサ内のスタックポインタにセットし、リターン時には前記退避制御情報と前記スタックポインタの値を前記退避前の状態に戻し前記退避されていた戻り番地に戻る動作をする情報処理装置におけるスタックエリア保護回路において、前記プロセッサで動作するソフトウェアにより前記スタックエリアの始点である基底アドレスをセットされるレジスタと、前記主記憶装置への書き込

みサイクル時のアドレスバス上の値が前記レジスタの値と前記スタックポインタの値の一方に等しいかまたは前記レジスタの値と前記スタックポインタの値の間にある誤書き込み状態を検出する誤書き込み検出手段と、前記誤書き込み検出手段により前記誤書き込み状態が検出された場合は前記プロセッサに通知するプロセッサ通知手段を有することを特徴とするスタックエリア保護回路。

発明の詳細な説明

(産業上の利用分野)

本発明は電子計算機システムにおいて、主記憶装置上のスタック領域への誤書き込みを防止するスタックエリア保護回路に関する。

(従来の技術)

従来、電子計算機システムにおいては、プログラムを実行する際に、ある関数やサブルーチンから他の関数やサブルーチンを呼び出す場合がある。この場合、実行していた関数あるいはサブルーチンの制御情報や戻り番地を主記憶装置中の

スタックエリアに退避する必要がある。

第3図は、関数fが関数gを呼び出したときのスタックエリアの状態を概略的に示したものである。このとき、スタックポインタは関数fの制御情報退避領域と関数fの戻り番地の退避領域とを合計したサイズ分だけ更新される。

関数gからリターンする時には、退避していた制御情報を元に戻し、スタックポインタの値を関数gに飛ぶ前の値に戻し、退避していた戻り番地に戻る。

〔発明が解決しようとする課題〕

上述した従来の退避方式では、主記憶装置中にスタックエリアを設けているために、プロセッサからスタックエリアにデータを書き込むことが可能である。このため、退避領域であるスタックエリアにプロセッサが誤ってデータを書き込む危険性があり、戻り番地等を破壊してしまう可能性があった。

本発明の目的は上述のスタックエリアへの誤書き込みを防止することにある。

〔課題を解決するための手段〕

本発明は、ある関数やサブルーチンから他の関数やサブルーチンを呼び出す場合に実行していた前記関数あるいは前記サブルーチンの制御情報や戻り番地を主記憶装置中のスタックエリアに退避するとともに退避された前記制御情報や戻り番地等の情報の前記スタックエリア内における最後尾アドレスをプロセッサ内のスタックポインタにセットし、リターン時には前記退避制御情報と前記スタックポインタの値を前記退避前の状態に戻し前記退避されていた戻り番地に戻る動作をする情報処理装置におけるスタックエリア保護回路において、前記プロセッサで動作するソフトウェアにより前記スタックエリアの始点である基底アドレスをセットされるレジスタと、前記主記憶装置への書き込みサイクル時のアドレスバス上の値が前記レジスタの値と前記スタックポインタの値の一方に等しいかまたは前記レジスタの値と前記スタックポインタの値の間にある誤書き込み状態を検出する誤書き込み検出手段と、前記誤書き込み

検出手段により前記誤書き込み状態が検出された場合は前記プロセッサに通知するプロセッサ通知手段を有することを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック構成図である。第1図において、101はプロセッサ、102はプロセッサ101内にあるスタックポインタ、103はスタックエリアを有する主記憶装置、105はスタックエリアの基底アドレスを保持するレジスタ、104はアドレスバス110のアドレスをデコードしその結果がレジスタ105を指していればレジスタ105へのデータバス111からのデータ書き込みをアクティブにするデコーダ、106はアドレスストローブ(AS)線112がアクティブでR/W信号線113がW(ライト)信号の時、アドレスバス110の値とレジスタ105の値とを比較し、レジスタ105の値がアドレスバス110の値以上であれば

出力線115をアクティブ(1)にする比較器、107はアドレスストローブ(AS)線112がアクティブでR/W信号線113がW(ライト)信号の時、アドレスバス110の値とスタックポインタ102の値とを比較し、スタックポインタ102の値がアドレスバス110の値以下ならば出力線116をアクティブ(1)にする比較器、108は出力線115の値と出力線116の値との論理積回路である。尚、デコーダ104、レジスタ105、比較器106、107及び論理積回路108で本発明のスタックエリア保護回路109を構成する。

次に、このように構成されたスタックエリア保護回路109の動作説明を行う。尚、本実施例ではスタックエリアはアドレスの小さい方へ使用していくものとする。図2はプロセッサ101で動作するソフトウェア(図示せず)は実行時の最初にレジスタ105とスタックポインタ102にスタックエリアの基底アドレスをセットする。第2図はスタックエリア2

01の構成の一例を示す図であり、レジスタ105は一度セットするとそのまま固定であるが、スタックポインタ102の値は関数や、サブルーチンコール時に退避領域が増加したり、減少したりして動的に変化する。

即ち、関数やサブルーチンコールの為にPUSH命令を実行すると、スタックエリア201においてスタックポインタ102の指すアドレスからアドレスが小さい方向にデータが退避されるとともに、スタックポインタ102の値は、退避されるデータのサイズ分だけ減少する。

次に、関数やサブルーチンからのリターンのためにPOP命令を実行すると、スタックポインタ102の指すアドレスからデータを読み出すとともに、読んだデータのサイズ分だけスタックポインタの値は増加する。

次に、ソフトウェアが誤ってスタックエリア201に書き込みを行おうとする場合のスタックエリアの保護動作を考える。

比較器106は、スタックエリア201の基底

アドレス即ちレジスタ105の値と主記憶装置103への書き込みサイクル時のアドレスバス110上の値とを比較する。そして、もしレジスタ105の値がアドレスバス110上の値以上ならば出力線115の値を1にする。その時以外は出力線115の値は0である。

一方、比較器107はスタックポインタ102の値と、主記憶装置103への書き込みサイクル時のアドレスバス110上の値とを比較する。もし、スタックポインタ102の値の方がアドレスバス110上の値以下であれば出力線116の値を1にする。その時以外は出力線116の値は0である。

比較器106の出力線115の値が1であり、かつ比較器107の出力線116の値が1のときは、ソフトウェアが誤ってスタックエリア201へ書き込みもうとする時である。

このアンド条件が成立すると、論理積回路108の出力線117の値は1となりプロセッサ101に割り込みにより通知する。割り込みにより通

知されたプロセッサ101はプログラムミス発生としてオペレータに通知するとともに、誤って書き込みもうとしたソフトウェアに対しては全面的あるいは部分的な機能停止等システムに応じた処置を取ればよい。

(発明の効果)

以上説明したように本発明によれば、ソフトウェアが誤ってスタックエリアへ書き込みもうとするのを検出し、プロセッサに通知する手段を有することにより、誤書き込みによるスタックエリアの破壊を有効に防止できる効果がある。

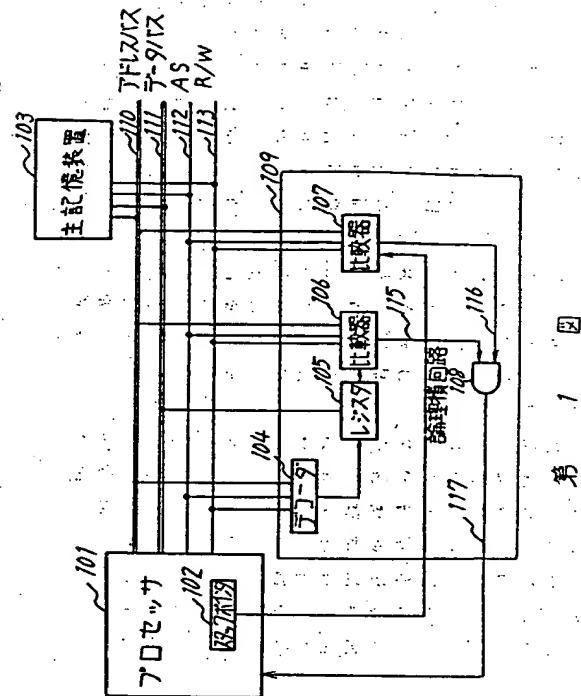
図面の簡単な説明

第1図は本発明の一実施例を示すブロック構成図、第2図はスタックエリアの構成の一例を示す図、第3図はスタックエリアの退避例を示す図である。

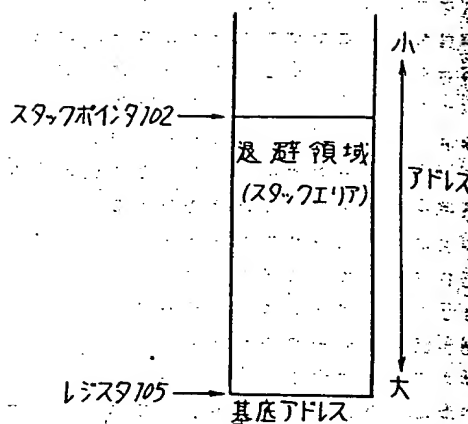
101 … プロセッサ、102 … スタックポインタ、103 … 主記憶装置、104 … デコーダ、105 … レジスタ、106 … 比較器、107 … 比較器、108 … 論理

積回路、109 … スタックエリア保護回路、110 … アドレスバス、111 … データバス、112 … アドレスストローブ(AS)線、113 … R/W信号線。

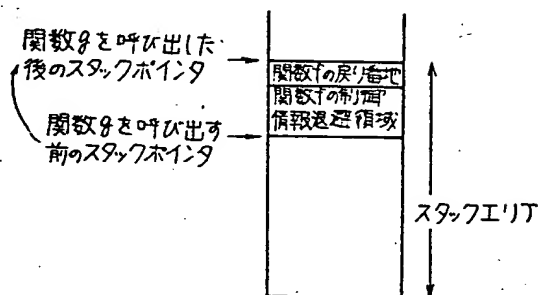
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図